

EP 0457 398

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-231803

(43) 公開日 平成4年(1992)8月20日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 B 7/28		C 9106-2F		
7/34	1 0 2 A	9106-2F		

審査請求 未請求 請求項の数14(全 8 頁)

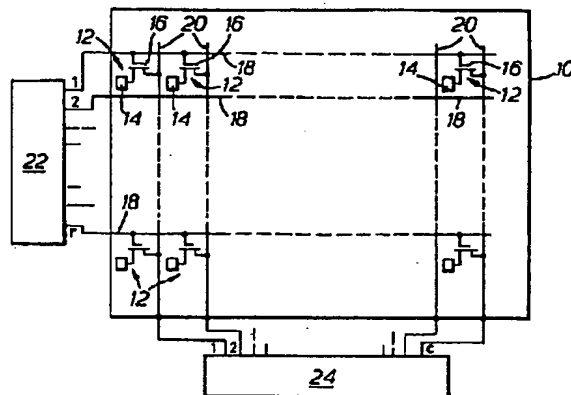
(21) 出願番号	特願平3-138685	(71) 出願人	590000248 エヌ・ベー・フィリップス・フルーイラン ベンファブリケン N. V. PHILIPS' GLOEIL AMPENFABRIEKEN オランダ国 アインドーフエン フルーネ ヴァウツウエツハ 1
(22) 出願日	平成3年(1991)5月15日	(72) 発明者	アラン ジョージ ナツプ イギリス国 サセツクス クロウレイ バ ウンド ヒル トリニティー クローズ 7
(31) 優先権主張番号	9 0 1 1 1 6 3 . 4	(74) 代理人	弁理士 杉村 暁秀 (外5名)
(32) 優先日	1990年5月18日		
(33) 優先権主張国	イギリス (GB)		

(54) 【発明の名称】 指紋検出装置

(57) 【要約】

【目的】 指紋パターン情報を得るためにアレー内の個々の検出素子とこれら素子の上方を延在する指表面の各部との間のキャパシタンスを検出して指紋の隆起部及び溝部のアレーからの間隔により決まるキャパシタンスの変化の電子的表示を得ることにある。

【構成】 指紋検出装置は絶縁材料(32)で被覆された検出電極(14)を具える検出素子(12)の行／列アレーを具え、絶縁材料の表面(34)上に指(37)を直接置くか、検出電極の上方に位置する導電パッドのアレー上に置くようにする。各検出素子のキャパシタンスは例えば検出電極に電位を供給し、その充電特性を検出回路(24)で測定することにより検出する。これら検出素子はアクティブアドレスするのが好ましく、各素子にスイッチング素子(16)、例えばT F Tを含ませる。指紋認識システムではこの検出装置の出力を分析し、特徴データを識別又は認証のために記憶データと比較する。



【特許請求の範囲】

【請求項1】 駆動回路に接続された検出素子のアレイを具え、各検出素子は検出電極を具え、これら検出電極を誘電体材料で被覆して指紋を検出すべき指を置く検出表面を構成して成る指紋検出装置において、各検出素子にその検出電極に接続されたスイッチング素子を設け、各検出素子を前記駆動回路によりアクティブアドレスしそのスイッチング素子を動作させてその検出電極に所定の電圧を供給し得るようにし、且つ当該検出装置には更に指が前記検出表面上に置かれたとき指表面の各部とそれぞれの検出電極とにより形成されるキャパシタンスを検出する検出手段を設けたことを特徴とする指紋検出装置。

【請求項2】 前記駆動回路は前記所定電位を規則正しい時間間隔で各検出電極に供給するよう構成し、前記所定電位はこの電位の供給時に前記検出電極に存在する電位と異なる電位であることを特徴とする請求項1記載の指紋検出装置。

【請求項3】 前記検出手段は前記所定電位の供給時に検出電極への充電電流を検出しこの電流に対応する信号出力を発生するよう動作することを特徴とする請求項1又は2記載の指紋検出装置。

【請求項4】 前記検出手段は電荷検出増幅器を具えることを特徴とする請求項3記載の指紋検出装置。

【請求項5】 前記検出手段は電流検出増幅器を具えることを特徴とする請求項3記載の指紋検出装置。

【請求項6】 各検出素子のスイッチング素子は、ソースがセンサ導体を経て前記駆動回路に、ドレインが関連する検出電極にそれぞれ接続され、且つ前記駆動回路によりアドレス導体を経てゲートに供給される選択又はゲート信号により制御されるトランジスタで構成したことを特徴とする請求項1～5の何れかに記載の指紋検出装置。

【請求項7】 前記検出素子を行及び列のアレイに配置し、各行及び列の検出素子をそれぞれ1つの共通アドレス導体及び1つの共通センス導体に接続したことを特徴とする請求項6記載の指紋検出装置。

【請求項8】 前記検出素子のアレイを前記駆動回路により一時に一行づつ順次にアドレスするようにしたことを特徴とする請求項7記載の指紋検出装置。

【請求項9】 前記アレイの検出素子のトランジスタを薄膜トランジスタで構成し、このトランジスタを前記アドレス及びセンス導体と一緒に絶縁基板上に設けたことを特徴とする請求項6～8の何れかに記載の指紋検出装置。

【請求項10】 前記検出素子を被覆する前記誘電体材料は指紋を検出すべき指を置く露出表面を有することを特徴とする請求項1～9の何れかに記載の指紋検出装置。

【請求項11】 前記誘電体材料の検出電極とは反対側

に個別電極のアレイを設け、それぞれの個別電極はそれぞれの検出電極の上方にほぼ位置させたことを特徴とする請求項1～9の何れかに記載の指紋検出装置。

【請求項12】 前記誘電体材料は前記アレイの全検出電極上を共通の連続層として延在させたことを特徴とする請求項10又は11記載の指紋検出装置。

【請求項13】 前記誘電体材料は前記アレイの全検出電極上を延在し、検出電極と反対側に連続表面を有する層として設け、前記連続表面上に前記検出電極間の領域の上方を延在する追加の導体を設け、これら導体は当該装置の動作時に接地するようにしたことを特徴とする請求項1～9の何れかに記載の指紋検出装置。

【請求項14】 請求項1～13の何れかに記載の指紋検出装置と、該装置のキャパシタンス検出手段からの出力に応答して検出した指紋の特徴データを発生する手段と、前記特徴データを1以上の指紋の内蔵特徴データと比較する手段とを具えたことを特徴とする指紋認識システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は指紋認識システム、特に斯るシステム用の指紋検出方法及び装置に関するものである。指紋認識はビルディング、コンピュータ等に対するアクセス制御のような高度セキュリティシステムから従来のロックや錠の代用の如き低度セキュリティシステムまでの多くの用途のために提案されている。このようなシステムの主な利点は使い易く便利であり、錠や個人識別番号等が不要であり、且つ不正使用されにくい点にある。このシステムにとって重要な部分は指紋検出装置であり、この装置でピックアップした指紋の表示の質が認証に必要とされる認識能力及び処理量に影響する。

【0002】

【従来の技術】 指紋検出装置の既知の例は光学式検出方法によっている。簡単な光学式検出方法では指紋の写真像を提示することにより不正使用が可能である。もっと安全且つ一般的な方法はフラストレイテッドトータルレフレクションを有するガラスプリズムを用いるものである。光をこのプリズムの一つの面から入射させ、第2面で反射させ、第3面から射出させる。指を第2面上に置くと、指がガラスと接触する点、即ち指紋の隆起部において反射が起らなくなる。指紋の溝部では光は反射しつづける。第3面からの光をイメージセンサでピックアップする。これにより指先のガラスと接触する部分が黒、残部が白を示すバイナリイメージを得ることができる。しかし、このような光学式検出装置はいくつかの欠点を有する。例えば、この装置は比較的大形になる。更に接触面をきれいに保ち、ほこりや油の付着がないようにする必要がある。更に、ある人は他の人より乾いた指を持つため及び殆どの人の指は寒い天候のとき乾くため

問題が起こり得る。即ち乾いた指は實際上ガラスとの接触点が濡った指よりも遥かに少なくなり、その結果として指紋の線が少数の点の列で現われるため多量の画像処理が必要になる。

【0003】指紋センサの他の例が米国特許第4353056号に提案されており、このセンサは容量式検出方法を用いる。このセンサはキャパシタの2次元（行及び列）アレイを有し、各キャパシタは検出部材内に支持され絶縁膜で被覆された所定間隔の1対の電極を具える。このセンサはこの上に置かれた指により生じた検出部材の変形により指紋の隆起部及び溝部のパターンに応じてキャパシタ電極間の間隔及び従ってキャパシタのキャパシタンスに局部的変化が生ずるようにしたものである。一構成例では、各列のキャパシタを直列に接続すると共に、これらキャパシタの列を並列に接続し、電圧をこれら列の両端間に供給する。他の構成例では電圧をアレイ内の個々のキャパシタに供給する。両構成例における指紋検出は局部的変形により生ずる直列接続キャパシタにおける電圧分布の変化を検出することにより、又は局部的変形により生ずる個々のキャパシタンスの電圧値を測定することにより達成される。これを達成するためには検出回路から各キャパシタへの個々の電気接続が必要とされる。

【0004】

【発明が解決しようとする課題】上述のセンサは光学的検出技術を用いるタイプのセンサと関連する問題を避けることができるが、このセンサは変形に基づくものであって弾性材料の使用を必要とするため、耐久性及び信頼性に問題がある。更に、アレイ内の個々のキャパシタへの個別の接続を設ける必要があるため極めて多数の接続ラインを必要とする。これは検出部材の製造及び検出回路との相互接続において困難を生ずる。更に、実際には多数の接続は漂遊容量のために動作困難も発生し得る。

【0005】本発明の目的は上述した問題が少なくともある程度解消された容量式検出方法を用いる検出装置を提供することにある。

【0006】

【課題を解決するための手段】本発明の第1の特徴は、駆動回路に接続された検出素子のアレイを具え、各検出素子は検出電極を具え、これら検出電極を誘電体材料で被覆して指紋を検出すべき指を置く検出表面を構成して成る指紋検出装置において、各検出素子にその検出電極に接続されたスイッチング素子を設け、各検出素子を前記駆動回路によりアクティブアドレスしそのスイッチング素子を動作させてその検出電極に所定の電圧を供給し得るようにし、且つ当該検出装置には更に指が前記検出表面上に置かれたとき指表面の各部とそれぞれの検出電極とにより形成されるキャパシタンスを検出する検出手段を設けたことを特徴とする。

【0007】各検出素子にスイッチング素子を設けるこ

とにより可能になる検出素子のアクティブアドレスングはアレイの駆動を著しく簡単化し、後に明らかとなるように必要とされるアドレス導体の数を著しく減少させることができる。

【0008】使用中、各検出電極とその上方の指表面の各部とは各別のキャパシタを形成し、それらのキャパシタンスを検出する。検出表面が単に誘電体材料層の表面により構成されているものとする、この場合には指が誘電体層の表面上に置かれると、指紋の隆起部がこの表面と接触或いは少なくとも近接するが、指紋の溝部は誘電体層の表面から遠く離れる。このとき各検出電極とこれを覆う指表面部分とによりキャパシタが形成される。即ち電極と指表面部分がキャパシタの対向極板を構成し、指表面は接地電位にある。誘電体層の表面と接触する指表面部分、即ち隆起部ではキャパシタの両極板は誘電体層の厚さだけ離間され、誘電体層の表面と接触しない指表面部分、即ち溝部ではキャパシタの両極板は誘電体層の厚さと指表面部分と誘電体層の表面との間の空隙の厚さとの和だけ離間される。これがため、アレイの表面に沿って、指表面各部の誘電体層表面からの距離の変化及び従って指紋の3次元隆起線パターンを表わすキャパシタンスの変化パターンが得られる。アレイの検出素子の変形は不要である。これらキャパシタンスの変化を測定することにより指紋パターンの電子的表示又はイメージを得ることができる。この表示は、上述した光学的検出装置により与えられる単なる2次元表示と比較すると、指紋パターンの3次元形状を表わす。同時に、容量式検出方法であるため検出表面上に通常の環境で存在するほこりや油又は乾燥した指の影響を受けない。

【0009】誘電体材料層の表面上に電極のアレーを設け、各電極を各検出電極の上方にほぼ位置させることができる。この構成では、追加の各電極がその関連する検出電極とともに誘電体材料層で分離されたキャパシタ極板を構成する。指紋の隆起部が追加の電極と接触してこの電極を接地するか否かに応じて異なるキャパシタンスが得られる。従って、この装置は基本的には指紋の隆起部と接触する部分では所定の標準のキャパシタンス値を発生する。指紋の溝部では得られるキャパシタンス値は検出電極とこの溝部との間隔により決まる。必要に応じて、単に所定のキャパシタンスが存在する個所を検出することにより光学式検出装置により得られるものと類似の指紋のバイナリイメージを容易に発生させることができる。

【0010】駆動回路は所定の電位を所定の時間間隔で検出電極に印加するよう構成するのが好ましい。検出電極上の電荷は、所定の電位の順次の印加の間に例えば接地抵抗により、或いは前記所定の電位の値を順次の印加中に変化させることにより除去又は減少させることができる。各検出電極は指の存在中キャパシタの一部を形成するため、このキャパシタへと流れる充電電流の大きさは

センサ表面と指表面との間隔により決まるキャパシタンスの大きさに依存する。このキャパシタンスの大きさの支持を得るために、検出装置は慣例の如く、各電極への充電電流を検出しこの電流に応じた信号出力を発生する手段、例えば電荷検出増幅器を具え、この信号出力を後続の信号処理に使用し得るようにすることができる。しかし、キャパシタンス値の他の検出方法を用いることもできること勿論である。

【0011】各検出素子のスイッチング素子は、ソースがセンサ導体を経て前記駆動回路に、ドレインが関連する検出電極にそれぞれ接続され、且つ前記駆動回路によりアドレス導体を経てゲートに供給される選択又はゲート信号により制御される電界効果トランジスタのような3端子装置で構成することができる。検出素子は行列アレイに配列するのが好ましく、この場合には1行の検出素子と関連するトランジスタのゲートが1つのアドレス導体を共有し、1列のトランジスタのソースが1つのセンス導体を共有するようにする。この場合、検出素子を慣例の如く一時に1行づつアドレスしてキャパシタンス値の完全な「イメージ」を発生させることができる。これらの点において、この検出装置はアドレッシング技術に関しアクティブマトリクスアドレス表示装置と類似する。更に、この検出装置はこのような表示装置に対し開発された同一の種類のマトリクススイッチング技術を用い、慣例の如く薄膜堆積プロセス及びフォトリソグラフィプロセスを用いて絶縁基板上に電極、アドレス導体及び薄膜トランジスタを形成することにより製造することができる。或いは又は、この検出装置は半導体ウェファ及び集積回路技術を用いて製造することもできる。

【0012】例えば窒化シリコン又はポリイミドのような任意の絶縁材料を含む前記誘電体材料は検出電極のアレイ上に好ましくは均一な厚さの連続層として設けるのが好ましい。この誘電体材料層の検出電極とは反対側の表面上に、検出電極間の領域の上方を延在する例えばライン状又は格子状の導体を設け、これら導体を接地して指表面に対する電気接触を改善することができる。

【0013】本発明の第2の特徴は、上述した本発明の検出装置と、この検出装置の検出手段からの出力に応答して検出した指紋の特徴データを発生する手段と、この特徴データを1つ以上の指紋についての内蔵特徴データと比較する手段とを具えた指紋認識システムを提供することにある。本発明の検出装置から、光学式検出装置のイメージセンサにより得られるビデオ出力に類似する出力を得ることができる。従って、当業者に明らかなように、検出装置を除くこのシステムの構成素子は光学式検出装置を用いる指紋認識システムに一般に用いられているタイプのものとし得る。実際の標準的技術によれば特徴データは隆起線の方向及び特徴点即ち隆起線の端点及び分岐点の相対位置に関する情報の形にすることができる。検出装置から得られた情報を処理して特徴データを

発生させ比較する処理は既知の方法及び技術に従うものとする。この点に関し、例えば欧州特許願(E P - A) 0 3 4 3 5 8 0 号、「Parallel Processing: State of the Art Report」1987年、パーガモンインフォテック社発行、のシー・ジェイ・エリオットの論文「Automatic Fingerprint Recognition」、又は「IEEE TENCON 87」、ソウル、1987年、pp71~75のフクエ等の論文「Fingerprint Verification System-Verification Algorithm」を参照することができる。本発明の検出装置は指紋の3次元輪郭の情報を提供し得るため、特徴点の空間位置に加えて位相的特徴を利用することにより識別又は認証の精度を向上させることができるが、精度があまり高くなくてもよい場合には2次元の隆起線パターンに関する情報のみを用いて必要な処理を簡単にすることができること勿論である。

【0014】

【実施例】以下図面を参照して本発明による指紋検出装置、指紋認識システム及び方法の実施例を詳細に説明する。

【0015】図は略図であって正しいスケールで描いていない点に注意されたい。特に層や領域の厚さのような特定の寸法を他の寸法より大きく拡大してある。全図を通して同一又は類似の部分は同一の符号で示してある。

【0016】図1は本発明による指紋検出装置の一実施例を示す。本例検出装置は各行内にc個の検出素子12を有するr行(1~r)から成る検出素子のX-Yアレイを有するアクティブマトリクスアドレス検出パッド10を具える。簡単のため数個の行と列のみを示す。実際には約2cm×3cmの面積を占める約300行×200列の規則正しく配列した検出素子を設けることができる。

【0017】図2にも示すように、アレイの各検出素子は本例では電界効果トランジスタ(FET)の形態の3端子スイッチング装置16であるアクティブデバイスに接続された検出電極14を具える。検出素子のX-Yアレイは行(選択)及び列(センス)アドレス導体18及び20によりアドレスされ、個々の検出素子はこれら導体のそれぞれの交点に配置される。同一行内の全ての検出素子は共通行導体18に接続され、同一列内の全ての検出素子は共通列導体20に接続される。行導体18はそれらの一端で行駆動回路22に接続され、列導体20はそれらの一端で列駆動回路24に接続される。

【0018】図2に示すように、FET16のゲート及びソースをそれぞれ行導体18及び列導体20に接続し、FET16のドレイン電極を検出電極14に接続する。

【0019】パッド10の検出素子12及びアドレス導体18及び20は液晶表示装置のようなアクティブマトリクスアドレス表示装置に用いられている技術に基づいて製造することができる。この技術は今日では大面積アクティブマトリクスアレイを製造する手段として確立し

ており、この検出装置を製造する方法についてここに詳細に説明する必要はないものと思料する。簡単に説明すると、この製造方法は代表的には絶縁基板上に複数の層を堆積しフォトリソグラフィ処理によりパターン化するものである。電極14及びアドレス導体18及び20は金属で形成しFET6は適切な(例えばガラス又は石英)基板を用いてアモルファスシリコン又は多結晶シリコン薄膜トランジスタ(TFT)として形成することができる。

【0020】この検出装置の構造の一例を図3に略図で示す。この図はパッド10の3つの検出電極14を含む部分の断面図である。TFT構造(図の明瞭化のために図示してない)は、ガラス又は石英基板30上にアモルファス又は多結晶シリコン材料の層を堆積し、この層をパターン化して最終的にTFTのチャンネルを形成する島領域を残すことにより基板上に形成する。次いで、絶縁材料、例えば窒化シリコンの層を堆積しパターン化してTFTのゲート絶縁層を形成する。規則正しい間隔で配置された等しい大きさの矩形パッドから成る電極14及びこれら電極間を延在するアドレス導体20は堆積金属層をパターン化して得る。電極14及び導体20の延長部をもってTFTのドレイン及びソース接点をそれぞれ形成する。更に絶縁材料を導体20の少なくともアドレス導体18と交差する区域上に設ける。次に導体18(図3では見えない)を堆積金属層から形成し、各導体18は電極14の隣接する行間を延在させると共に、前記個々の半導体島領域を覆いTFTのゲート電極として作用する延長部を有するものとする。得られる構造は表示装置のアクティブマトリクス構造に類似し、アドレス導体18及び20及び検出電極14はそれぞれ表示装置のゲート及び信号導体及び画素電極に類似する。しかし、この検出装置では画素電極に必要とされるITOのような透明導電材料ではなく金属を電極14に用いるために表示装置より製造が簡単になる。

【0021】検出装置の構造を完成させるために、絶縁膜32(例えば窒化シリコン又はポリイミド)を基板30上の全構造上に堆積して基板表面から離れて基板表面にほぼ平行に延在する連続検出表面34を形成する。

【0022】検出電極の物理的寸法は指紋検出の所望の分解能特性に従って選択する。一例では検出電極のピッチを行及び列方向とも約100ミクロンにすることができる。絶縁膜32の厚さはこの膜に使用する特定の材料を考慮して選択する。例えば、約4の比誘電率を有する材料の場合には、約4ミクロンの膜厚を選択する。

【0023】この検出装置の動作においては検出すべき指を検出表面34上に置く。このとき表面34との実質的な又は密接な物理的接触は図3に示すように指表面の指紋隆起部にて起る。図3には指表面37の一部分の1つの隆起部36を描いてある。指表面の指紋隆起部に隣接する溝部は表面34からかなり大きく離れる。これに

対し指表面の隆起部は電極14から薄い絶縁膜32の厚さにより決まる最小距離だけ離れる。各検出電極14と、指表面のそれぞれの対向部分とが図3に破線で示すようにキャパシタ35の対向極板を構成し、指表面部分により構成される極板は大地電位にある。絶縁膜32の介在材料と、もしあれば指表面と検出装置との間の空隙とがキャパシタの誘電体を構成する。これらの個々のキャパシタのキャパシタンスは指表面と検出表面34との間の間隔dの関数として変化し、表面34と接触する指表面の隆起部で大きなキャパシタンスが発生し、表面34と接触しない指表面の溝部で小さなキャパシタンスが発生する。

【0024】このキャパシタンスの変化を図4に示す。図4はキャパシタ35の1平方ミリメートル当りのキャパシタンスC(マイクロファラッド単位)と間隔d(マイクロメートル単位)との関係を絶縁膜が比誘電率4の材料から成り4ミクロンの厚さである場合についてグラフで示したものである。従って、指紋の隆起線パターンによりパッド10の検出素子12のアレイに沿って発生するキャパシタンスの変化は実際上指表面の3次元の電子“イメージ”を構成する。これらのキャパシタンスが検出装置内で検出され、その変化及び従って指紋の3次元プロファイルを表わす出力が得られる。指紋の3次元隆起線パターンは、アレイ内の個々の検出電極と指表面部分との間のキャパシタンス変化をモニタすることにより電子イメージの形に再生することができる。キャパシタンスの変化は指の3次元形状により決まるため、にせものの指による如何なる不正使用の試みも極めて困難になる。

【0025】アレイ内の種々の検出素子12間のキャパシタンス変化の検出は次のように実行する。各検出素子を関連する行(選択)及び列(センス)導体18及び20によりアドレスする。行駆動回路22により行導体18に供給されるゲートパルスがこの行導体と関連する全ての検出素子12のFET16をターンオンする。同時に約10ボルトの所定の電位が列駆動回路24により全ての列導体20に供給されるためFET16のターンオン時にこの行の全検出素子12と関連するキャパシタ35が列導体の電位に充電される。これらキャパシタの充電電流が列導体20を流れ、回路24内の適切な増幅器により検出される。各キャパシタ35内へ流れる電荷量はこのキャパシタの大きさに依存する。従って各列導体の充電電流を測定することにより各キャパシタの大きさを決定することができる。この処理をアレイの各検出素子行ごとに順次くり返すと、1フィールド期間内にアレイ内の全行のアドレス後にキャパシタ特性の完全な“イメージ”が得られる。

【0026】図5a及び5bはキャパシタの充電特性を検出するのに使用し得る検出回路の2つの異なる実施例を示す。図5aは電流検出形検出回路の3つの隣接する

列導体に対応する部分の構成を示す。列導体20を抵抗帰還を有する各別の電流増幅器に接続し、それらの出力を各別のサンプルホールド回路41に供給する。これら増幅器のバイアス状態によって列導体20に上述した所定の電位レベルを設置する。サンプルホールド回路41は共通ラング42に沿って供給されるサンプリングパルスにより、行導体18に供給されるゲートパルスと同期して同時に動作させる。回路41のアナログ出力を、シフトレジスタ45によりスイッチ46を順次動作させて順次切り換え、各列導体の瞬時電流値を表わす振幅を有するパルスの直列出力をライン47に沿って出力させる。図5bは充電増幅器形検出回路の構成を示し、図示の部分は2つの隣接する列導体に作用する。この回路では、列導体20を容量性負帰還を有する電荷増幅器50に接続し、それらのアナログ出力を、同様にシフトレジスタ45によりスイッチ46を順次動作させて順次切り換え、各列導体の充電電流を表わす振幅を有するパルスの直列出力を出力ライン47上に出力させる。電荷増幅器はリセットライン51に供給されるリセットパルスによりスイッチ52を動作させてこれら増幅器のシャントキャパシタを放電させることにより順次の検出素子行のアドレッシング間の期間中にリセットさせる。

【0027】指紋のキャパシタンスイメージの数回の読み出し、又は種々の指紋の連続的読み出しを可能にするためには、電極14上の電荷を検出素子が再びアドレスされる前に除去又は低減させる必要がある。これは、各検出素子内に検出電極14とそれぞれの行の全検出素子に共通の接地導体又は次の隣接行導体18との間に抵抗を設けることにより達成することができる。このような構成を図2に破線で示してあり、このような抵抗と追加の隣接行導体をそれぞれ15及び17で示してある。これら抵抗はTFTを製造するのに使用する適度にドーパした半導体材料で構成することができる。

【0028】しかし、他の手段を用いることもできる。列導体に供給する所定の電圧を順次の読み出しサイクルにおいて2つの異なるレベル間で切り換えることができる。この場合にも増幅器のバイアス状態を用いてこれらレベルの一方を与えることができる。他方のレベルは導体20とその関連増幅器40又は50との間に挿入したスイッチにより与えることができる。或いは又、アドレッシングサイクル中に中間リセットサイクルを含めることもできる。

【0029】これらの手段によれば、検出素子がアドレスされる度にキャパシタの充電が発生するため、充電電流を用いてそれらのキャパシタンスを測定することができる。

【0030】検出装置の動作中の代表的な信号波形を図6に示してある。波形A、B及びCは異なる動作方法を示し、Aは各検出素子に抵抗15を設けた場合に対応し、Bは列電圧を順次の読み出しサイクル間で反転させ

る場合に対応し、Cは中間リセットサイクルを有する場合に対応する。V₁及びV₂は行導体18及び列導体20に供給される電圧であり、V₃は検出電極14に現われる電圧である。I_a及びI_bは比較的低いキャパシタンス及び高いキャパシタンスに対し列導体20を流れる電流である。図6に示す電圧は単なる一例である点に注意されたい。

【0031】本発明の検出装置は種々の変更が可能である。上述の実施例では検出表面34を絶縁膜32の露出表面のみで与えている。図7a及び7bは検出装置の異なる変形例を示す平面図であり、これらの変形例では金属膜導体53を検出電極14の行間及び列間の上方を延在する格子導体パターン状に(図7a)、或いは行間の上方を延在する直線導体パターン状に(図7b)絶縁膜32の露出表面に直接堆積する。動作中これら導体パターンを接地して指表面に対する電気接触を改善する。

【0032】図8は本発明検出装置の他の実施例の図3と同様の概略断面図を示す。この実施例は絶縁膜32の表面上に設けられた追加の電極アレイを具えている。このアレイは検出電極14とほぼ同一の大きさ及び形状の電気的に絶縁された個別の導電パッド54から成る。これらのパッドは電極14と相まってキャパシタ35の対向極板を構成する。パッド54を除きこの実施例は前述の実施例と同一であり、検出素子のアクティブマトリクス動作はほぼ同一である。使用時には指が表面34上のパッド54のアレイ上に置かれる。このとき指紋の隆起部がアレイの特定のパッド54と接触し、これらを接地するため、これら検出素子のキャパシタ35のキャパシタンスは対向電極14及び54と絶縁膜32の厚さにより決まる。前述の実施例と比較して、全ての隆起部接触位置において互いに略々同一で一層明確なキャパシタンスが得られる。他の位置では指の表面部分がパッド54から離れるため、これら位置のキャパシタンス値は前と同様この離間距離dに依存する。従って、アレイに沿ったキャパシタンスの変化は指紋の表面凹凸を表わす。

【0033】上述した全ての検出装置に関し述べたように、FET16は表示装置の技術分野において知られている標準のプロセスを用いて製造されるアモルファスシリコン又は多結晶シリコンTFTで構成することができる。その代りにFET16のアレイは例えばシリコンウエハ基板を用いる慣例の半導体集積回路の一部とすることもできる。しかし、絶縁基板上のTFTの方が検出電極に対する漂遊容量が最低になるので好ましい。低漂遊容量に加えてガラス/石英基板上のTFT技術は例えば30mm×40mm程度の比較的大面積の装置を比較的低コストで提供し得るという利点もある。

【0034】多結晶シリコンを用いる場合には、アドレス回路22及び24を慣例の方法により基板30の周辺部にFET16と一緒に同時に形成してアクティブ検出マトリクスと一体に集積し極めてコンパクトな検出装置

を提供することができる。

【0035】図9は上述した検出装置60を用いる指紋認識システムをブロック図で示したものである。検出装置60からの信号出力はイメージセンサを用いる既知の光学式指紋検出装置により発生されるビデオ出力に類似する。従って、検出装置を除くシステムの構成素子は当業者に明らかなように慣例の技術に従い、従ってこれら構成素子について詳しく説明する必要はないものと思われる。簡単に説明すると、装置60からの出力は検出した指紋の特徴点を検出するようプログラムされた分析回路61に供給される。回路61からのデータはコンピュータ62に供給される。このコンピュータはこのシステムが識別用か照合用かに応じて標準のアルゴリズムにより前記データを記憶装置63に記憶されている複数の指紋又は単一の指紋と比較し、一致が得られるか否かに従って出力を発生する。

【0036】回路61は高精度の認識のために検出装置60により発生される3次元情報を利用するようプログラムすることができ、また適当な弁別手段により装置60からの特定の出力信号値を選択して既知の光学検出装置から得られるバイナリイメージに類似のバイナリイメージの形態に2次元隆起線パターンを表わす特定の情報を利用するようにプログラムすることができる。本明細書を読めば他の種々の変更が当業者に明らかであり、これらの変更は指紋認識の技術分野において既知であってここに記載した特徴の代わりに、或いは加えて使用し得る他の特徴も含むことができ、本発明はこれらの変更も本発明の範囲に含むものである。

【図面の簡単な説明】

【図1】本発明の指紋検出装置の一実施例の簡略構成図である。

【図2】本発明指紋検出装置の代表的な検出素子の等価回路図である。

【図3】本発明装置の使用態様を示す部分的断面図である。

【図4】本発明装置の代表的検出電極に対するキャパシ

タンスと指表面との間の関係を示すグラフである。

【図5】図5a及び5bは本発明検出装置の検出回路の2つの実施例の一部を示す回路図である。

【図6】図6(A)～(C)は本発明検出装置の動作を示す代表的な波形図である。

【図7】図7a及び7bは本発明検出装置の2つの変形例の平面図である。

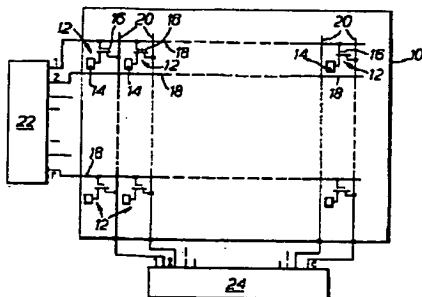
【図8】本発明検出装置の他の実施例の一部の概略断面図である。

【図9】本発明検出装置を組み込んだ指紋認識システムの概略ブロック図である。

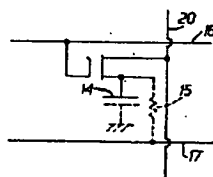
【符号の説明】

- 10 アクティブマトリクスアドレス検出パッド
- 12 検出素子
- 14 検出電極
- 16 スイッチング素子
- 18 行(選択)アドレス導体
- 20 列(センス)アドレス導体
- 22 行駆動回路
- 24 検出回路
- 30 基板
- 32 絶縁膜
- 34 検出表面
- 36 指紋隆起部
- 37 指表面
- 40 電流増幅器
- 41 サンプルホールド回路
- 45 シフトレジスタ
- 50 電荷増幅器
- 53 追加の接地導体
- 54 追加の導電パッド
- 60 指紋検出装置
- 61 分析回路
- 62 コンピュータ
- 63 記憶装置

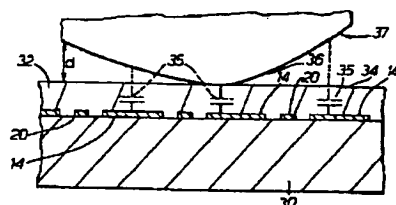
【図1】



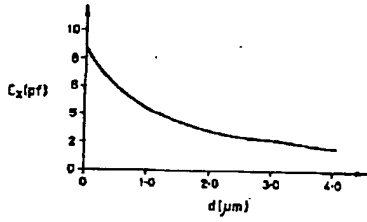
【図2】



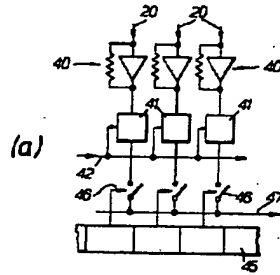
【図3】



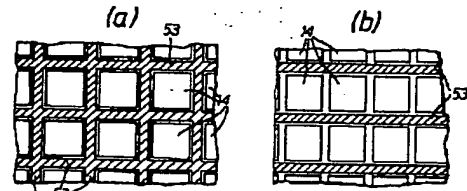
【図4】



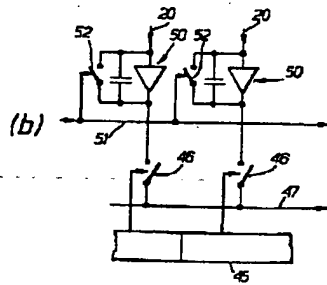
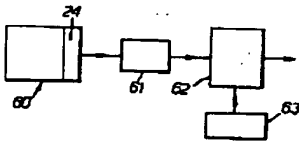
【図5】



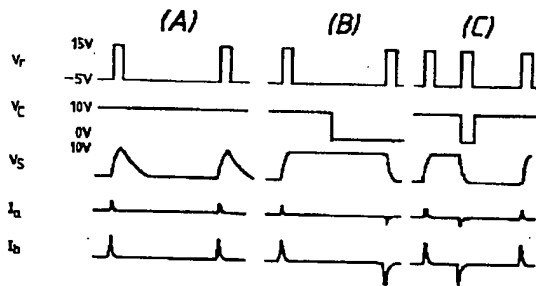
【図7】



【図9】



【図6】



【図8】

